

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-206118

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H02M 3/28

(21)Application number : 10-008659

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 20.01.1998

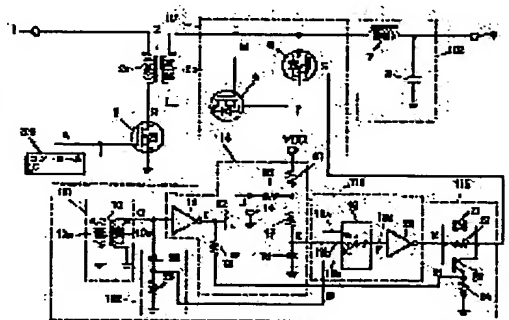
(72)Inventor : NODA HIROSHI

(54) SYNCHRONOUS RECTIFYING CIRCUIT AND FORWARD CONVERTER POWER UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To raise power efficiency, by removing reactive currents.

SOLUTION: A synchronous rectifying circuit 101 has an FET 5 for rectification, an FET 6 for commutation, a drive means 110 for driving the FET 5 by a monostable multivibrator IC 19, and a control means which detects the quantity of timing slippage between the turning on of the FET 3 and the turning off of the FET 6, and controls the drive means 10 so that the FET 6 may be turned on just before the turning on of the FET 3. The control means has a first detector 111 which detects the timing of the switching of the FET 3, a first control signal generator 112 which gives the drive means 110 trigger pulses synchronously with the turning on of the FET 3 and turns on the FET 6, a second detector 113 which detects the timing of the turning off of the FET 6, a second control signal generator 114 which gives the drive means 110 a control signal geared to the above-period of the FET 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平 1 1 - 2 0 6 1 1 8

(43)公開日 平成11年(1999)7月30日

T

(全 1 1 頁)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 野田 寛

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

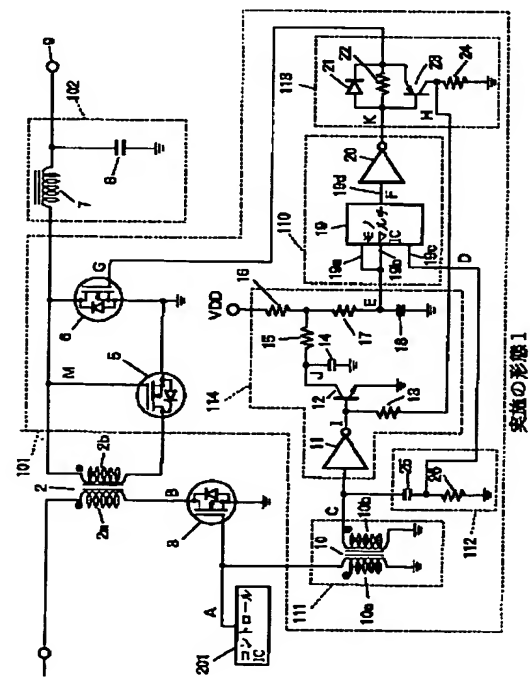
(74) 代理人 弁理士 前田 実

(54) 【発明の名称】 同期整流回路およびフォワード型コンバータ電源

(57) 【要約】

【課題】 無効電流をなくし、電源効率を高くする。

【解決手段】 同期整流回路１０１は、整流用ＦＥＴ５と、転流用ＦＥＴ６と、モノステーブルマルチバイブレータＩＣ１９によりＦＥＴ６を駆動する駆動手段１１０と、ＦＥＴ３のターンオンとＦＥＴ６のターンオフのタイミングずれ量を検知しＦＥＴ６がＦＥＴ３のターンオンの直前にターンオフするように駆動手段１１０を制御する制御手段とを有する。制御手段は、ＦＥＴ３のスイッチングタイミングを検知する第１の検知部１１１と、ＦＥＴ３のターンオンに同期して駆動手段１１０にトリガパルスを与えＦＥＴ６をターンオンさせる第１の制御信号生成部１１２と、ＦＥＴ６のターンオフタイミングを検知する第２の検知部１１３と、検知された上記のタイミングずれ量に応じた制御信号を駆動手段１１０に与えＦＥＴ６のオン期間長を制御する第２の制御信号生成部１１４とを有する。



【特許請求の範囲】

【請求項1】 主トランスの1次側に印加する電圧を主スイッチによりスイッチングするスイッチング電源に用いられ、前記主トランスの2次側に誘起された電圧を整流する同期整流回路において、

ゲート電極を前記主トランスの2次側ホット端子に接続し、ソース電極をグラウンドに接続し、ドレイン電極を前記主トランスの2次側コールド端子に接続した整流用FETと、

ソース電極をグラウンドに接続し、ドレイン電極を前記主トランスの2次側ホット端子に接続した転流用FETと、
前記転流用FETのゲート電極を駆動する駆動手段と、
前記主スイッチのターンオンタイミングに対する前記転流用FETのターンオフタイミングのずれ量を検知し、
前記転流用FETが前記主スイッチのターンオンの直前にターンオフするように前記駆動手段を制御する制御手段とを有することを特徴とする同期整流回路。

【請求項2】 前記制御手段は、さらに、
前記主スイッチのターンオフタイミングを検知し、前記主スイッチのターンオフをトリガとして前記転流用FETがターンオンするように前記駆動手段を制御することを特徴とする請求項1記載の同期整流回路。

【請求項3】 前記制御手段は、
前記主スイッチのスイッチングタイミングを検知し、このタイミングを示す第1の検知信号を生成する第1の検知部と、
前記転流用FETのターンオフタイミングを検知し、このタイミングを示す第2の検知信号を生成する第2の検知部と、
前記第1の検知信号に基づいて、前記転流用FETをターンオンさせるための第1の制御信号を生成する第1の制御信号生成部と、
前記第1および第2の検知信号に基づいて、前記転流用FETのオン期間を調整するための第2の制御信号を生成する第2の制御信号生成部とを有し、
前記駆動手段は、前記転流用FETを、前記第1の制御信号により決まるタイミングでターンオンさせ、前記第2の制御信号により決まる時間だけオンさせたあとにターンオフさせることを特徴とする請求項2記載の同期整流回路。

【請求項4】 前記駆動手段は、
前記第1の制御信号が入力されるトリガ入力端子と、前記第2の制御信号が入力されるパルス幅制御端子と、パルスの出力端子とを備え、前記トリガ入力端子が所定のトリガレベルに変化してから前記パルス幅制御端子が所定のスレッショールドレベルに変化するまでの間、パルスを出力するモノステーブルマルチバイブレーション回路と、
前記モノステーブルマルチバイブレーション回路から入力さ

れる前記パルスに従って、前記転流用FETのゲート電極を駆動するバッファ回路とを有することを特徴とする請求項3記載の同期整流回路。

【請求項5】 前記主スイッチは、前記主トランスの1次側に直列に設けられ、ゲート電極が外部から駆動されるFETであり、

前記第1の検知信号は、前記主スイッチFETがオフのとき第1のレベルとなり、オンのとき第2のレベルとなる信号であり、

10 前記モノステーブルマルチバイブレーション回路は、さらに前記パルス幅制御端子に接続するディスチャージ端子を備え、前記トリガ入力端子が前記トリガレベルになると前記ディスチャージ端子を開放し、前記パルス幅制御端子が前記スレッショールドレベルになると前記ディスチャージ端子をグラウンド電位にするものであり、

前記第2の制御信号生成部は、

第1の内部ノードと前記第2の検知信号が入力される入力端子との間に設けられた第1の抵抗と、

20 前記第1の検知信号が第1のレベルのとき前記第1の内部ノードを開放し、前記第1の検知信号が第2のレベルのとき前記第1の内部ノードをグラウンドに接続することにより、前記主スイッチのターンオンタイミングに対する前記転流用FETのターンオフタイミングのずれ量に応じたずれ検知信号を前記第1の内部ノードに生成するずれ検知信号生成回路と、

ベース電極が前記第1の内部ノードに接続され、エミッタ電極がグラウンドに接続され、コレクタ電極が第2の内部ノードに接続された第1のバイポーラトランジスタと、

30 前記第2の内部ノードとグラウンドの間に設けられた第1のコンデンサと、

第3の内部ノードと前記第2の内部ノードとの間に設けられた第2の抵抗と、

正電源と前記第3の内部ノードとの間に設けられた第3の抵抗と、

前記第3の内部ノードと前記パルス幅制御端子との間に設けられた第4の抵抗と、

前記パルス幅制御端子とグラウンドとの間に設けられた第2のコンデンサとを有し、

40 前記第2の検知部は、

アノード電極が前記バッファの出力端子に接続され、カソード電極が前記転流用FETのゲート電極に接続されたダイオードと、

前記バッファの出力端子と前記転流用FETのゲート電極の間に設けられた第5の抵抗と、

第6の抵抗と、

ベース電極が前記バッファの出力端子に接続され、エミッタ電極が前記転流用FETのゲート電極に接続され、コレクタ電極が前記第2の抵抗を介してグラウンドに接続されているとともに前記第2の検知信号の出力端子とな

る第2のバイポーラトランジスタとを有することを特徴とする請求項4記載の同期整流回路。

【請求項6】 前記主スイッチは、前記主トランスの1次側に直列に設けられ、ゲート電極が外部から駆動されるFETであり、

前記第1の検知信号は、前記主スイッチFETがオフのとき第1のレベルとなり、オンのとき第2のレベルとなる信号であり、

前記モノステーブルマルチバイブレータ回路は、さらに前記パルス幅制御端子に接続するディスチャージ端子を備え、前記トリガ入力端子が前記トリガレベルになると前記ディスチャージ端子を開放し、前記パルス幅制御端子が前記スレッシュホールドレベルになると前記ディスチャージ端子をグラウンド電位にするものであり、

前記第2の制御信号生成部は、

第1の内部ノードと前記第2の検知信号が入力される入力端子との間に設けられた第1の抵抗と、

前記第1の検知信号が第1のレベルのとき前記第1の内部ノードを開放し、前記第1の検知信号が第2のレベルのとき前記第1の内部ノードをグラウンドに接続することにより、前記主スイッチのターンオンタイミングに対する前記転流用FETのターンオフタイミングのずれ量に応じたずれ検知信号を前記第1の内部ノードに生成するずれ検知信号生成回路と、

ベース電極が前記第1の内部ノードに接続され、エミッタ電極がグラウンドに接続され、コレクタ電極が第2の内部ノードに接続された第1のバイポーラトランジスタと、

前記第2の内部ノードとグラウンドの間に設けられた第1のコンデンサと、

第3の内部ノードと前記第2の内部ノードとの間に設けられた第2の抵抗と、

正電源と前記第3の内部ノードとの間に設けられた第3の抵抗と、

前記第3の内部ノードと前記パルス幅制御端子との間に設けられた第4の抵抗と、

前記パルス幅制御端子とグラウンドとの間に設けられた第2のコンデンサとを有し、

前記第2の検知部は、

1次側ホット端子が前記バッファの出力端子に接続され、1次側コールド端子が前記転流用FETのゲート電極に接続され、2次側ホット端子がグラウンドに接続されたカレントトランスと、

第5の抵抗と、

アノード電極が前記カレントトランスの2次側コールド端子に接続され、カソード電極が前記第5の抵抗を介してグラウンドに接続されるとともに前記第2の検知信号の出力端子となるダイオードとを有することを特徴とする請求項4記載の同期整流回路。

【請求項7】 前記第1の検知部は、1次側ホット端子

が前記主スイッチFETのゲート電極に接続され、1次側および2次側のコールド端子がグラウンドに接続され、2次側ホット端子が前記第1の検知信号の出力端子となるパルストランスであることを特徴とする請求項5または6に記載の同期整流回路。

【請求項8】 前記第1の制御信号生成部は、前記検知信号を微分し、この微分信号を前記第1の制御信号とするCR微分回路であることを特徴とする請求項5または6に記載の同期整流回路。

10 【請求項9】 1次側ホット端子に直流電圧が入力される主トランスと、

前記主トランスの1次側コールド端子とグラウンドとの間をスイッチングする主スイッチと、

前記主トランスの2次側に誘起された電圧を整流する同期整流回路と、

前記同期整流回路により整流された電圧を平滑化する平滑回路とを備え、

前記同期整流回路が、

ゲート電極を前記主トランスの2次側ホット端子に接続し、ソース電極をグラウンドに接続し、ドレイン電極を前記主トランスの2次側コールド端子に接続した整流用FETと、

ソース電極をグラウンドに接続し、ドレイン電極を前記主トランスの2次側ホット端子に接続した転流用FETと、

前記転流用FETのゲート電極を駆動する駆動手段と、前記主スイッチのターンオンタイミングに対する前記転流用FETのターンオフタイミングのずれ量を検知し、前記転流用FETが前記主スイッチのターンオンの直前にターンオフするように前記駆動手段を制御する制御手段とを有することを特徴とするフォワード型コンバータ電源。

30

【請求項10】 前記制御手段は、

さらに、前記主スイッチのターンオフタイミングを検知し、前記主スイッチのターンオフをトリガとして前記転流用FETがターンオンするように前記駆動手段を制御するものであり、

前記主スイッチのスイッチングタイミングを検知し、このタイミングを示す第1の検知信号を生成する第1の検知部と、

前記転流用FETのターンオフタイミングを検知し、このタイミングを示す第2の検知信号を生成する第2の検知部と、

前記第1の検知信号に基づいて、前記転流用FETをターンオンさせるための第1の制御信号を生成する第1の制御信号生成部と、

前記第1および第2の検知信号に基づいて、前記転流用FETのオン期間を調整するための第2の制御信号を生成する第2の制御信号生成部とを有し、

前記駆動手段は、前記転流用FETを、前記第1の制御

50

信号により決まるタイミングでターンオンさせ、前記第2の制御信号により決まる時間だけオンさせたあとにターンオフさせることを特徴とする請求項9記載のフォワード型コンバータ電源。

【請求項11】 前記主スイッチが、前記主トランスの1次側に直列に設けられ、ゲート電極が外部から駆動されるFETであり、

前記平滑回路が、

負荷に接続するための負荷接続端子と前記主トランジスタの2次側ホット端子との間に設けられたチョークコイルと、

前記負荷接続端子とグランドとの間に設けられたコンデンサとを有することを特徴とする請求項9または10に記載のフォワード型コンバータ電源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フォワード型コンバータ電源、およびフォワード型コンバータ電源等のスイッチング電源に用いられる同期整流回路に関するものである。

【0002】

【従来の技術】スイッチング電源の一種であるスイッチング方式DC/DCコンバータ電源には、フォワード型とフリーホイール型があり、前者をフォワード型コンバータ電源、後者をフリーホイール型コンバータ電源と称する。スイッチング方式DC/DCコンバータ電源は、変換トランス（以下、主トランスと称する）を備え、1次側（直流電圧が供給される側）と2次側（負荷に接続する側）とを絶縁している。フォワード型コンバータ電源は、数10[W]クラスのスイッチング電源に最も頻

【0003】図4は従来のフォワード型コンバータ電源の構成を示す回路図である。図4のフォワード型コンバータ電源は、直流電圧の入力端子1と、主トランス2と、外部のコントロールIC201により駆動され、主トランスの1次巻線2aをスイッチングする主スイッチFET3と、主トランスの2次巻線2bに生成されたスイッチング電圧を整流する同期整流回路103と、整流電圧を平滑化する平滑回路102とを備えている。平滑回路102は、チョークコイル7とコンデンサ8とを有し、平滑化した電力を負荷接続端子9から負荷側に供給する。同期整流回路103は、ゲート電極が2次巻線2bのホット端子（図中の黒丸印側の端子）に接続され、ソース電極がグランドに接続され、ドレイン電極が2次巻線2bのコールド端子（図中の無印側の端子）に接続された整流用FET5と、ゲート電極が2次巻線2bのコールド端子に接続され、ソース電極がグランドに接続され、ドレイン電極が2次巻線2bのホット端子に接続された転流用FET45とを有する。整流用FET5および転流用FET45には、pチャネルFETよりもオ

ン抵抗が低いnチャネルFETが用いられる。なお、整流用FET5および転流用FET45のシンボル中にあるダイオードは、ソースに接続しているp型基板とn型のドレインとによる寄生ダイオードを示す。整流用FET5は、主スイッチFET3がオンしているときにオンするFETであり、平滑回路102のチョークコイル7（負荷側）にエネルギーを伝送して負荷に電力を供給する整流動作をするために設けられたものである。また、転流用FET45は、主スイッチFET3がオフしているときにオンするFETであり、チョークコイル7に蓄えられたエネルギーにより負荷に電力を供給する転流動作をするために設けられたものである。

【0004】このように、フォワード型コンバータ電源は、整流用FET5と転流用FET45とを交互にオンさせ、主スイッチFET3がオンしているときに主トランス2の1次側から2次側にエネルギーを伝送するものである。なお、フリーホイール型コンバータ電源は、転流用FETを設けずに、主スイッチFET3がオフしているときに、整流用FETをオンさせ、主トランスの1次側から2次側にエネルギーを伝送するものである。

【0005】

【発明が解決しようとする課題】しかしながら上記従来の同期整流回路103においては、2次巻線2bの極性が反転し、ホット端子がコールド端子よりも高電位になったときに、転流用FET45が瞬時にターンオフできず、転流期間（転流動作の期間）が終わり整流期間（整流動作の期間）に移行した瞬間に、2次巻線2b→転流用FET45→整流用FET5（またはその内部寄生ダイオード）という経路で無効電流が流れてしまうという問題があった。上記の無効電流は、数[ナノ秒]から数10[ナノ秒]持続し、電流値も数[A]から10[A]にも達するため、電源効率を悪化させるばかりでなく、ノイズを発生させる。上記のFETのスイッチング遅延は、主にゲート容量を充放電するのに時間がかかることによるものである。

【0006】またもし仮に、転流期間の終了前の早い時期に転流用FET45をターンオフさせると、残された転流期間において、転流用FET45の内部寄生ダイオードがオンし、転流動作が継続される。この内部寄生ダイオードは、pnダイオードであるから逆回復時間が極めて長く、転流期間が終わり整流期間に移行した瞬間に瞬時にターンオフできず、2次巻線2b→転流用FET45の内部寄生ダイオード→整流用FET5（またはその内部寄生ダイオード）という経路で、上記と同様の無効電流が流れてしまう。

【0007】本発明はこのような従来の課題を解決するためになされたものであり、無効電流をなくし、電源効率を上げることができる同期整流回路を提供することを目的とするものである。

【0008】

【課題を解決するための手段】上記の目的を達成するために本発明の同期整流回路は、主トランスの1次側に印加する電圧を主スイッチによりスイッチングするスイッチング電源に用いられ、前記主トランスの2次側に誘起された電圧を整流する同期整流回路において、ゲート電極を前記主トランスの2次側ホット端子に接続し、ソース電極をグラウンドに接続し、ドレイン電極を前記主トランスの2次側コールド端子に接続した整流用FETと、ソース電極をグラウンドに接続し、ドレイン電極を前記主トランスの2次側ホット端子に接続した転流用FETと、前記転流用FETのゲート電極を駆動する駆動手段と、前記主スイッチのターンオンタイミングに対する前記転流用FETのターンオフタイミングのずれ量を検知し、前記転流用FETが前記主スイッチのターンオンの直前にターンオフするように前記駆動手段を制御する制御手段とを有することを特徴とするものである。

【0009】

【発明の実施の形態】実施の形態1

図1は本発明の実施の形態1のフォワード型コンバータ電源の構成を示す回路図である。図1のフォワード型コンバータ電源は、外部から直流電圧が入力される電圧入力端子1と、主トランス2と、主スイッチFET3と、本発明の同期整流回路101と、平滑回路102と、負荷接続端子9とを有する。

【0010】主トランス2は、1次巻線2aと2次巻線2bとを有する。1次巻線2aのホット端子（図中の黒丸印側の端子）は、電圧入力端子1に接続されている。なお、以下の説明において、1次巻線2aのホット端子を1次側ホット端子2a-h、1次巻線2aのコールド端子（図中の無印側の端子）を1次側コールド端子2a-c、2次巻線2bのホット端子（図中の黒丸印側の端子）を2次側ホット端子2b-h、2次巻線2bのコールド端子（図中の無印側の端子）を2次側コールド端子2b-cと称する。また、主スイッチFET3は、ゲート電極Aが外部に設けられたコントロールIC201に接続され、ドレイン電極が主トランス2の1次巻線2aのコールド端子に接続され、ソース電極がグラウンドに接続されたnMOSFETである。なお、主スイッチFET3のシンボル中にあるダイオードは、ソースに接続しているp型基板とn型のドレインとによる寄生ダイオードを示す。コントロールIC201は、主スイッチFET3のゲート電極Aを駆動し、主スイッチFET3をスイッチング動作させる。主スイッチFET3は、直流電圧が印加された1次巻線2aをスイッチングすることにより（1次側コールド端子をグラウンドに接続し、またグラウンドから開放することにより）、2次巻線2bにスイッチング電圧を誘起させる。

【0011】同期整流回路101は、主トランスの2次巻線2bに誘起されたスイッチング電圧を整流するものであり、整流用FET5と、転流用FET6と、制御手

段と、駆動手段110とを有する。整流用FET5は、ゲート電極Mが主トランス2の2次側ホット端子2b-hに接続され、ソース電極がグラウンドに接続され、ドレイン電極が2次側コールド端子2b-cに接続されたnMOSFETである。また、転流用FET6は、ソース電極がグラウンドに接続され、ドレイン電極が2次側ホット端子2b-hに接続されたnMOSFETである。なお、整流用FET5および転流用FET6のシンボル中にあるダイオードは、ソースに接続しているp型基板とn型のドレインとによる寄生ダイオードを示す。

【0012】制御手段は、主スイッチFET3のターンオフタイミング、および主スイッチFET3のターンオンタイミングに対する転流用FET6のターンオフタイミングのずれ量を検知し、転流用FET6が、主スイッチFET3のターンオフをトリガとしてターンオンし、主スイッチFET3のターンオンの直前にターンオフするように駆動手段を制御するものであり、第1検知部111と、第1の制御信号生成部112と、第2の検知部113と、第2の制御信号生成部114とを有する。

【0013】第1の検知部111は、スイッチFET3のスイッチングタイミングを検知し、このタイミングを示す第1の検知信号を生成するものであり、ここではパルストランス10である。パルストランス10は、1次巻線10aと、2次巻線10bとを有し、図中のノードCに第1の検知信号を生成する。パルストランス10の1次巻線10aのホット端子は主スイッチFET3のゲート電極Aに接続され、1次巻線10aおよび2次巻線10bのコールド端子はグラウンドに接続され、2次巻線10bのホット端子はノードCに接続されている。

【0014】第1の制御信号生成部112は、第1の検知信号に基づいて、転流用FET6をターンオンさせるための第1の制御信号を図中のノードDに生成するものである。第1の制御信号生成部は、ここでは、ノードCとDの間に設けられたコンデンサ25と、ノードDとグラウンドとの間に設けられた抵抗26とにより構成されるCR微分回路である。

【0015】第2の検知部113は、転流用FET6のターンオフタイミングを検知し、このタイミングを示す第2の検知信号を図中のノードHに生成するものであり、ここでは、ダイオード21と、抵抗22、24と、pnp型バイポーラトランジスタ23とを有する。ダイオード21のアノード電極はノードK（バッファ20の出力端子）に接続され、カソード電極は転流用FET6のゲート電極Gに接続されている。また、抵抗22は、ノードKとゲート電極Gとの間に設けられている。また、pnpトランジスタ23のベース電極はノードKに接続され、エミッタ電極はゲート電極Gに接続され、コレクタ電極はノードHに接続されるとともに抵抗24を介してグラウンドに接続されている。

【0016】第2の制御信号生成部114は、第1およ

び第2の検知信号に基づいて、転流用FET6のオン期間を調整するための第2の制御信号を図中の内部ノードEに生成するものであり、インバータ11と、npn型バイポーラトランジスタ12と、抵抗13、15～17と、コンデンサ14、18とを有する。抵抗13は、図中のノードIと第2の検知信号が生成されるノードHとの間に設けられている。また、インバータ11（ずれ検知信号生成回路）は、ノードCに接続する入力端子と、図中のノードIに接続されたオープンコレクタ型の出力端子とを備え、第1の検知信号がLowレベルのときノードIを開放し、第1の検知信号がHighレベルのときノードIをグランドに接続することにより、主スイッチFET3のターンオンタイミングに対する転流用FET6のターンオフタイミングのずれ量に応じたずれ検知信号をノードIに生成する。すなわち、インバータ11は、第1の検知信号がLowレベルのときには（主スイッチFET3がオフであるときには）、第2の検知信号をノードIに伝送し、第1の検知信号がHighレベルに変化すると（主スイッチFET3がターンオンすると）、ノードIを強制的にグランド電位にする。なお、ずれ検知信号生成回路は、インバータ11ではなく、オープンコレクタ型のエミッタ接地npn型バイポーラトランジスタでも良い。また、npnトランジスタ12のベース電極は、ずれ検知信号が生成されるノードIに接続され、エミッタ電極はグランドに接続され、コレクタ電極はノードJに接続されている。また、コンデンサ14はノードJとグランドの間に設けられており、抵抗15はノードJとノードLとの間に設けられている。また、抵抗16は正電源VDDとノードLとの間に設けられており、抵抗17はノードLと第2の制御信号が生成されるノードEとの間に設けられており、コンデンサ18はノードEとグランドの間に設けられている。

【0017】駆動手段110は、制御手段から入力された第1および第2の制御信号に従って、転流用FET6のゲート電極Gを駆動するものであり、モノステーブルマルチバイブレータIC（モノマルチIC）19と、バッファ20とを有する。

【0018】モノマルチIC19は、ディスチャージ端子19aと、パルス幅制御端子19bと、トリガ入力端子19cと、パルスの出力端子19dとを備え、トリガ入力端子19cが所定のトリガレベルになると（トリガ入力端子19cに所定のトリガパルスが入力されると）、ディスチャージ端子19aを開放するとともにパルスの出力を開始し、パルス幅制御端子19bが所定のスレッシュホールドレベルに上昇変化すると、パルスの出力を停止するとともに、ディスチャージ端子19aをグランド電位にする。すなわち、モノマルチIC19は、トリガ入力端子19cが上記のトリガレベルに変化してからパルス幅制御端子19bが上記のスレッシュホールドレベルに変化するまでの間、出力端子19dにパ

ルスを出力する。ディスチャージ端子19aおよびパルス幅制御端子19bは第2の制御信号が生成されるノードEに接続されており、トリガ入力端子19cは第1の制御信号が生成されるノードDに接続されており、また出力端子19dはノードFに接続されている。モノマルチIC19によりノードFに出力させるパルスを転流用パルスと称し、またノードFに生成される信号を転流用パルス信号と称する。上記のトリガレベルは、ここでは負の電圧レベルであり、第1の制御信号の負パルスが上記のトリガパルスとなる。モノマルチIC19としては、例えばTI社製のTLC555を用いる。なお、モノマルチIC19は、パルス幅を可変できるモノステーブルマルチバイブレータ回路であれば良い。また、バッファ20の入力端子はノードFに接続され、バッファ20の出力端子はノードKに接続されている。このバッファ20は、第2の検知部のダイオード21および抵抗22を介して転流用FET6のゲート電極Gを駆動する。【0019】平滑回路102は、同期整流回路101により整流された電圧を平滑化するものであり、チョークコイル7と、コンデンサ8とを有する。チョークコイル7は、主トランス2の2次巻線2bのホット端子と負荷接続端子9との間に設けられている。また、コンデンサ8は、負荷接続端子9とグランドとの間に設けられている。

【0020】次に、図1に示す実施の形態1のフォワード型コンバータ電源の動作を説明する。図2は図1のフォワード型コンバータ電源における各部の動作波形図である。図2において、(A)は主スイッチFET3のゲート電極A、(B)は主スイッチFET3のドレイン電極B（巻線2aのコールド端子）、(G)は転流用FETのゲート電極Gの各電圧波形である。また、(C)はノードCの電圧波形（第1の検知信号）(D)はノードDの電圧波形（第1の制御信号）、(E)はノードEの電圧波形（第2の制御信号）、(F)はノードFの電圧波形（転流スイッチパルス）、(H)はノードHの電圧波形（第2の検知信号）、(I)はノードIの電圧波形（ずれ検知信号）、(J)はノードJの電圧波形（コンデンサ14の端子間電圧波形）である。

【0021】主スイッチFET3のゲート電極Aは、コントロールIC201によりHighレベル（以下、単にHighと表記する）およびLowレベル（以下、単にLowと表記する）に交互に駆動される（図2（A）参照）。ゲート電極AがLowからHighに変化すると、主スイッチFET3はターンオンし、またゲート電極AがHighからLowに変化すると、主スイッチFET3はターンオフする。主スイッチFET3のスイッチングには、数10[ナノ秒]の時間がかかり、ゲート電極Aの電圧波形の立ち上がりおよび立ち下がりが傾斜する。主スイッチFET3がオンしているときは、主トランス2の1次側コールド端子2a～cはグランド（G

ND) 電位となり、また主スイッチFET3はオフしているときは、1次側コールド端子2a-cは、直流電圧が印加されている1次側ホット端子2a-hよりも高電位になる(図2(B)参照)。主スイッチFET3がオンしている期間(1次側コールド端子2a-cが1次側ホット端子2a-hよりも低電位となる期間)が整流期間であり、また主スイッチFET3がオフしている期間(1次側コールド端子2a-cが1次側ホット端子2a-hよりも高電位となる期間)が転流期間である。整流期間においては、主トランス2の2次側ホット端子2b-hは2次側コールド端子2b-cよりも高電位になり、また転流期間においては、2次側ホット端子2b-hは2次側コールド端子2b-cよりも低電位になる。

【0022】転流期間から整流期間に変化し、2次側ホット端子2b-hが2次側コールド端子2b-cよりも高電位になると、2次側コールド端子2b-cは整流用FET5の内部寄生ダイオードによりグラウンド電位付近の負電位にクランプされ、2次側ホット端子2b-hは正電位となるので、整流用FET5はターンオンする。従って、整流期間においては、2次側ホット端子2b-h→チョークコイル7→負荷接続端子9→図示しない負荷→グラウンド→整流用FET5→2次側コールド端子2b-cという経路で電流が流れ、チョークコイル7にエネルギーが蓄積される。

【0023】一方、整流期間から転流期間に変化し、2次側ホット端子2b-hが2次側コールド端子2b-cよりも低電位になると、整流用FET5のゲート電極M(2次側ホット端子2b-h)の電位は転流用FET6の内部寄生ダイオードによるクランプレベルであるグラウンド電位付近の負電位まで降下するので、整流用FET5はターンオフし、転流用FET6は制御手段および駆動手段によりターンオンし、またチョークコイル7の極性が反転する。従って、転流期間においては、整流用FET5はオフ、転流用FET6はオンであり、チョークコイル7に蓄積されたエネルギーにより、チョークコイル7→負荷接続端子9→図示しない負荷→グラウンド→転流用FET6→チョークコイル7という経路で電流が流れる。

【0024】本発明の同期整流回路101は、制御手段および駆動手段により転流用FET6のゲート電極Gを駆動し、整流期間の終了直前(転流期間の開始直前)に転流用FET6をターンオンさせることにより、転流期間から整流期間に変化したときに、2次巻線2bと転流用FET6と整流用FET5からなるループに無効電流が流れないようにしたことを特徴とするものである。

【0025】以下に、同期整流回路101の制御手段(第1の検知部111、第1の制御信号生成部112、第2の検知部113、第2の制御信号生成部114)および駆動手段110の動作を詳細に説明する。まず、主スイッチFET3のゲート電極AがHighであり、主

スイッチFET3がオンしている整流期間においては、パルストランス10は、ノードCの第1の検知信号をHighに保持する(図2(C)参照)。ノードCがHighなので、ノードD(モノマルチIC19のトリガ入力端子19c)は、抵抗26によりグラウンド電位に保持されている(図2(D)参照)。モノマルチIC19は、ノードF(パルス出力端子19d)をLowレベルに保持し(図2(F)参照)、またノードE(ディスチャージ端子19a)をグラウンド電位に保持する(図2(E)参照)。ノードFがLowなので、バッファ20は、ノードKをLow(グラウンド電位)に保持し、抵抗22を介して整流FET6のゲート電極Gをグラウンド電位に保持する(図2(G)参照)。従って、整流期間においては、整流FET6はオフしている。ノードKと整流FET6のゲート電極Gが同電位なので、トランジスタ23はオフしており、ノードHの第2の検知信号は抵抗24によりグラウンド電位になっている(図2(H)参照)。また、ノードCがHighなので、インバータ11はノードIをグラウンド電位に保持する(図2(I)参照)。ノードIがグラウンド電位なので、トランジスタ12はオフしている。

【0026】次に、主スイッチFET3のゲート電極AがHighからLowに変化し、整流期間から転流期間に変化すると、パルストランス10はノードCの第1の検知信号を、HighからLow(GND電位)に変化させる(図2(C)参照)。ノードCの第1の検知信号がLowに変化すると、インバータ11は、グラウンド電位に保持していたノードIを開放する(図2(I)参照)。また、コンデンサ25および抵抗26からなるCR微分回路は、ノードDの第1の制御信号をGND電位から負電位に変化させ、ノードDに負パルスを生成する(図2(D)参照)。この負パルスは、モノマルチIC19のトリガパルスとなるものであり、トリガ入力端子19cに入力される。

【0027】トリガ入力端子19cにトリガパルスが入力されると、モノマルチIC19は、出力端子19dに転流用パルスを出力し、ノードFの転流用パルス信号をLowからHighに変化させ(図2(F)参照)、またGND電位に固定していたディスチャージ端子19aを開放する。ディスチャージ端子19aの開放により、抵抗17からの電流によるコンデンサ18の充電が開始され、ノードEの第2の制御信号がグラウンド電位から上昇を開始する(図2(E)参照)。なお、モノマルチIC19は、パルス幅制御端子19bの電位(ノードEの電位)が所定のスレッシュホールドレベルに上昇するまで、転流用パルスの出力を継続する。

【0028】ノードFがHighに変化すると、バッファ20は、ダイオード21を介して転流用FETのゲート電極GをLowからHighに変化させ(図2(G)参照)、これにより転流用FET6はターンオンする。

・ 転流用FET6のターンオフには数10 [ナノ秒] の時間がかかり、ゲート電極Gの電圧波形の立ち上がりが傾斜する。

【0029】次に、転流期間においては、ノードFがHighである間は、転流用FET6はオンしており、またノードEの第2の制御信号が三角波状に上昇していく（図2（E）参照）。コンデンサ18は、正電源VDDから抵抗16および17を介して供給される電流と、コンデンサ14から抵抗15および16を介して供給される電流とにより充電される。このとき、正電源VDDは定電源なので正電源VDDから供給される電流は一定であるが、コンデンサ14から供給される電流は、コンデンサ18の充電が開始される直前のノードJの電位（コンデンサ14の端子間電圧）により変化する。すなわち、モノマルチIC19にトリガパルスが入力され、コンデンサ18の充電が開始される直前のコンデンサ14の端子間電圧が大きいほど、ノードEの電位上昇速度（コンデンサ18の充電速度）は速くなる。

【0030】ノードEの電位（パルス幅制御端子19bの電位）が所定のスレッショールドレベルまで上昇すると、モノマルチIC19は、パルスの出力を停止し、ノードFの転流用パルス信号をHighからLowに変化させ（図2（F）参照）、またディスチャージ端子19aをグランド電位に固定し、コンデンサ18を放電させる。これにより、ノードEの第2の制御信号はグランド電位となる。モノマルチIC19の出力パルス幅は、トリガパルスが入力されてからノードEがスレッショールドレベルに達するまでの期間に等しく、ノードEの電位上昇速度に依存する。ノードEの電位上昇速度は、上述したようにトリガパルスの入力直前のコンデンサ14の端子間電圧に依存する。従って、モノマルチIC19の出力パルス幅は、トリガパルスの入力直前のコンデンサ14の端子間電圧に依存する。

【0031】ノードFがLowに変化すると、バッファ20はノードKをHighからLowに変化させ、抵抗22を介して転流用FET6のゲート電極GをHighからLowに変化させる（図2（G）参照）。これにより転流用FET6はターンオフする。転流用FET6のターンオフには数10 [ナノ秒] の時間がかかり、ゲート電極Gの電圧波形の立ち下がりが傾斜する。この転流用FET6のターンオフ期間に、ゲート電極Gから抵抗22に電流が流れ、抵抗22の端子間に電圧降下が生じ、トランジスタ23が瞬間的にターンオンし、トランジスタ23を介して抵抗24にスパイク状の電流が流れ、これによりノードHの第2の検知信号にスパイク状の正電圧が生成される（図2（H）参照）。この第2の制御信号の正電圧は、ノードCがLowであり、インバータ11がノードIを開放している期間にのみノードIに伝達される。トランジスタ12は、ノードIが正電位となる期間オンし、コンデンサ14の電荷の一部を放電

させ、コンデンサC14の端子間電圧（ノードJの電位）を降下させる。

【0032】次に、主スイッチFET3のゲート電極AがLowからHighに変化し、転流期間から整流期間に変化すると、パルストランス10は、ノードCの第1の検知信号をLowからHighに変化させる（図2（C）参照）。ノードCの第1の検知信号がHighに変化すると、インバータ11は開放していたノードIを強制的にグランド電位にする（図2（I）参照）。また、コンデンサ25および抵抗26からなるCR微分回路は、ノードDの第1の制御信号をGND電位から正電位に変化させ、ノードDに正パルスを生成する（図2（D）参照）。なお、この正パルスは、モノマルチIC19のトリガパルスとはならない。

【0033】以下に、同期整流回路101の制御手段による転流用FET6のターンオフタイミングの調整動作について説明する。まず、ノードJの電位（コンデンサ14の端子間電圧）をVDDレベルにしてトリガパルスを入力したときに、モノマルチIC19の出力パルス幅が転流期間よりも短くなるように、抵抗16、17、およびコンデンサ18の値を設定しておく。

【0034】図2の期間T1においては、転流期間中に転流用FET6がターンオフし、転流期間の終了よりも前に、ノードHが正電位となる期間が終了している。この場合は、ノードHの第2の検知信号の全正電位期間において、ノードIが正電位となり、トランジスタ12がオンし、コンデンサ14が放電する。また、図2の期間T3においては、転流用FET6のターンオフタイミングが転流期間の終了時期と一致し、整流期間の開始とともにノードHが正電位となる。この場合は、ノードHの第2の検知信号の全正電位期間において、ノードIはグランド電位となり、トランジスタ12はオンせず、コンデンサ14は放電しない。また、図2の期間T2においては、転流期間中における上記の期間T1よりも遅い時期に転流用FET6がターンオフし、ノードHの第2の検知信号の正電位期間が、転流期間の終了時期と重なり合っている。この場合は、転流期間の終了時よりも前のノードHの部分的な正電位期間において、ノードIが正電位となり、トランジスタ12がオンし、コンデンサ14が放電する。トランジスタ12のオン期間は上記の期間T1におけるそれよりも短く、コンデンサ14の放電によるノードJの電位降下は上記の期間T1におけるそれよりも小さくなる。

【0035】転流用FET6のターンオフタイミングを決めるノードFの転流用パルスの幅は、上述したように、転流期間の開始時のノードJの電位（コンデンサ14の端子間電圧）により決まるので、コンデンサ14の容量値を、例えば、図2（H）の第2の検知信号の正電位頂部Pが転流期間の終了時期と一致するときに、転流期間の開始時のノードJの電位が一定値を保つように設

定する。これにより、制御手段は、期間T1およびT2のように、正電位頂部Pが転流期間の終了時よりも前にあるときには転流用パルスの幅を長くし、また期間T1のように、正電位頂部Pが転流期間の終了時よりもあとにあるときには転流用パルスの幅を短くする。すなわち、制御手段は、正電位頂部Pが転流期間の終了時期と一致し、転流用FET6が転流期間の終了直前（主スイッチFET3のターンオン直前）にターンオフするように、転流用パルスの幅を制御する。

【0036】また、制御手段は、ゲート電極の電位変化を検知することにより、主スイッチFET3の実際のターンオンタイミングおよび転流用FET6の実際のターンオフタイミングに基づいて、転流用パルスの幅を制御する構成なので、FETのスイッチング遅延時間のバラツキを吸収し、主スイッチFET3のターンオフ直前に、また内部寄生ダイオードをオンさせることなく、確実に転流用FET6をターンオフさせることができる。従って、転流期間から整流期間に変化したときに、2次側ホット端子2b-h→転流用FET6→整流用FET5→2次側コールド端子2b-cという経路で無効電流が流れることはなく、電源効率を高くすることができる。

【0037】このように実施の形態1によれば、転流用FET6のゲート電極Gを駆動する駆動手段110と、駆動手段110を制御する制御手段とを設け、制御手段により、主スイッチFET3のターンオンタイミングに対する転流用FET6のターンオフタイミングのずれ量を検知し、転流用FET6が主スイッチFET3のターンオンの直前にターンオフするように駆動手段110を制御するようにしたことにより、無効電流が流れることはなく、電源効率を高くすることができる。

【0038】実施の形態2

上記実施の形態1では、転流用FET6のゲート電極GとノードK（バッファ20の出力端子）との間に、ダイオード21および抵抗22を設けて第2の検知部を構成したが、ゲート電極GとノードKとの間にカレントトランスを設けて第2の検知部を構成しても良い。カレントトランスは、1次巻線を1ターンあるいは数ターンにすることにより1次巻線の端子間を短絡と見なせるようにしたトランスである。

【0039】この実施の形態2のフォワード型コンバータ電源は、図1の実施の形態1のフォワード型コンバータ電源において、同期整流回路101の第2の検知部113を、カレントトランスを用いて構成した第2の検知部115としたものである。図3は本発明の実施の形態2における第2の検知部115の構成を示す回路図である。第2の検知部115は、図1の第2の検知部113と同様に転流用FET6のターンオフタイミングを検知し、このタイミングを示す第2の検知信号をノードHに生成するものであり、カレントトランス30と、ダイオ

ード31と、抵抗32とを有する。

【0040】カレントトランス30は、端子間を短絡と見なせる1次巻線30aと、2次巻線30bとを有する。1次巻線30aのホット端子はノードKに接続され、1次巻線30aのコールド端子は転流用FET6のゲート電極Gに接続され、2次巻線30bのホット端子はグランドに接続され、2次巻線30bのコールド端子はダイオード31のアノード電極に接続されている。また、ダイオード31のカソード電極は、ノードHに接続されるとともに、抵抗32を介してグランドに接続されている。

【0041】実施の形態2におけるノードK、G、Hの電圧波形は、図2に示すものと同じである。第2の検知部115において、バッファ20によりノードKがHighからLowに変化したときに、2次巻線30bのコールド端子が正電位となり、ダイオード31がオンし、抵抗32に電流が流れ、ノードHにスパイク状の正電圧が発生する（図2（H）参照）。また、ノードKがHighからLowに変化したときには、2次巻線30bのコールド端子が負電位となるので、ダイオード31はオンせず、抵抗32には電流が流れない。すなわち、第2の検知部115は、上記実施の形態1の第2の検知部113と同様に、転流用FET6のゲート電圧GがHighからLowに変化したときにのみ、ノードHの第2の検知信号にスパイク状の正電圧を発生させる。

【0042】このように実施の形態2によれば、転流用FET6のゲート電極Gを駆動する駆動手段110と、駆動手段110を制御する制御手段とを設け、制御手段の第2の検知部115をカレントトランス30を用いて構成し、上記実施の形態1と同様に、制御手段により、主スイッチFET3のターンオンタイミングに対する転流用FET6のターンオフタイミングのずれ量を検知し、転流用FET6が主スイッチFET3のターンオンの直前にターンオフするように駆動手段110を制御するようにしたことにより、無効電流が流れることはなく、電源効率を高くすることができる。

【0043】

【発明の効果】以上説明したように、転流用FETのゲート電極を駆動する駆動手段と、この駆動手段を制御する制御手段とを設け、制御手段により、主スイッチのターンオンタイミングに対する転流用FETのターンオフタイミングのずれ量を検知し、転流用FETが主スイッチのターンオンの直前にターンオフするように駆動手段を制御するようにしたことにより、無効電流が流れることはなく、電源効率を高くすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1のフォワード型コンバータ電源の構成を示す回路図である。

【図2】本発明の実施の形態1のフォワード型コンバー

17

18

- ・タ電源における各部の動作波形図である。

【図3】本発明の実施の形態2のフォワード型コンバータ電源における第2の検知部の構成を示す回路図である。

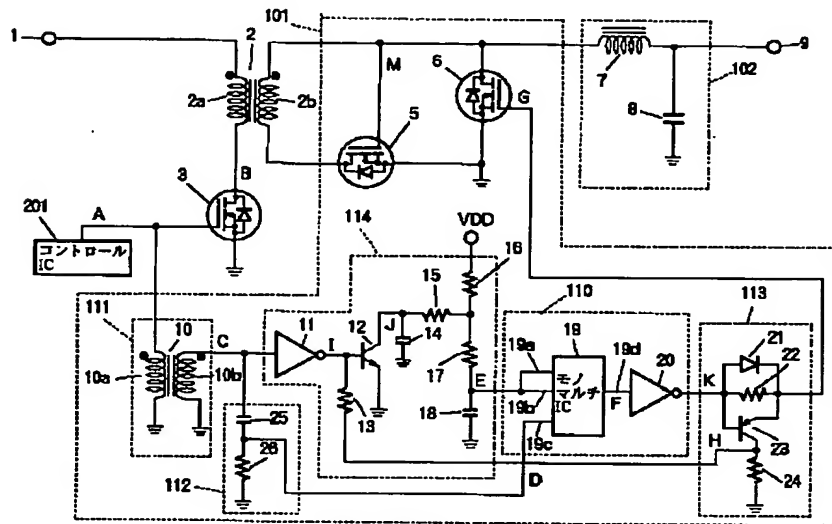
【図4】従来のフォワード型コンバータ電源の構成を示す回路図である。

【符号の説明】

2 主トランス、3 主スイッチFET、5 整流用FET、6 転流用FET、7 チョークコイル、8、14、18、25 コンデンサ、9 負荷接

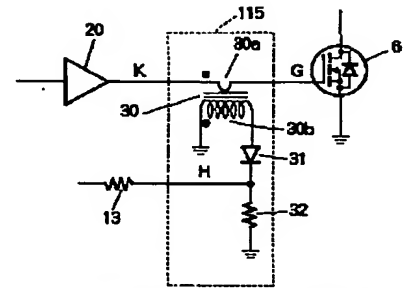
続端子、10 パルストランス、11 インバータ、12 npnトランジスタ、13、15、16、17、22、24、26、32 抵抗、19 モノマルチIC、20 バッファ、21、31 ダイオード、23 pnpトランジスタ、101 同期整流回路、102 平滑回路、110 駆動手段、111 第1の検知部、112 第1の制御信号生成部、113、115 第2の検知部、114 第2の制御信号生成部。

【図1】



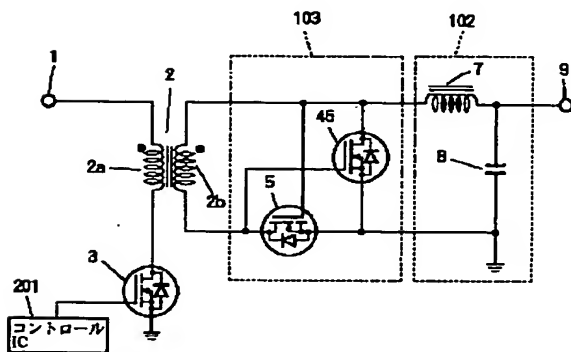
実施の形態1

【図3】



実施の形態2における第2の検知部

【図4】



従来例

【図 2】

